

METODOLOGIA MODEL-BASED-DESIGN APLICADA À UM RECEPTOR DE GUERRA ELETRÔNICA BASEADO EM RÁDIO DEFINIDO POR SOFTWARE

Pedro Gonzaga L. Coutinho¹ (IC), Osamu Saotome (PQ)²

¹Universidade Federal de Itajubá

²Instituto Tecnológico de Aeronáutica

Palavras-chave: Guerra Eletrônica. Rádio Definido por Software. FPGA. Hardware-in-the-Loop.

Introdução

Dentro de um campo de batalha eletromagnético moderno, os receptores de guerra eletrônica (EWR - *Electronic Warfare Receiver*) desempenham a importante tarefa de interceptar, detectar e classificar emissores de radar em um ambiente eletromagnético denso e de alta faixa de frequência. Receptores de alerta de radar (RWR - *Radar Warning Receiver*), medidores de frequência instantânea (IFM - *Instantaneous Frequency Measure*) e receptores canalizados são frequentemente usados para implementar EWR. A tecnologia moderna de guerra eletrônica (EW - *Electronic Warfare*) tem avançado em direção ao design de sistemas flexíveis e adaptáveis para atender aos requisitos dos sistemas de EW.

O aumento da velocidade dos conversores analógico-digital (ADC) e digital-analógico (DAC), associado ao processamento de digital de sinais (DSP - *Digital Signal Processing*) em alta velocidade usando *Field-Programmable Gate Arrays* (FPGA), tem impulsionado o design de sistemas EWR modernos para implementações digitais aplicando rádio definido por software (RDS). A tecnologia RDS permite implementar diferentes funcionalidades de um receptor de rádio utilizando um hardware padrão. Um front-end analógico é usado para converter para uma frequência mais baixa o sinal de rádio frequência (RF) recebido, para alimentar um ADC, seguido por um FPGA para realizar o processamento do sinal. O FPGA é configurado utilizando uma linguagem de descrição de hardware (HDL - *Hardware Description Language*) para executar as demais funções do receptor de forma digital, como filtragem, demodulação e detecção. No entanto, mudanças frequentes de hardware e testes, especialmente durante a fase de design do sistema, tornam a tarefa de descrever diretamente o FPGA usando fluxos de trabalho puramente em HDL difícil e demorada.

O Model Based Design (MBD) é uma metodologia de desenvolvimento que facilita a

realização de simulações de sistemas para validação de conceito, geração automática de HDL e *hardware-in-the-loop* (HIL), tudo em um ambiente integrado. A Xilinx Inc. é uma empresa de tecnologia de semicondutores que fornece uma ampla família de FPGAs usados em hardwares voltados para aplicações de RDS. Juntamente com a MathWorks Inc., oferecem ferramentas para aplicar o MBD no desenvolvimento de sistemas RDS baseados em FPGA da Xilinx em um ambiente MATLAB/Simulink.

Este trabalho propõe uma demonstração de conceito da metodologia Model Based Design para implementar um gravador de RF de guerra eletrônica, acionado pela envoltória de sinal pulsado, utilizando MATLAB/Simulink. O sistema é simulado em alto nível, e a descrição de hardware é gerada e transferida para um FPGA da Xilinx. Por fim, o sistema é testado utilizando a técnica de *hardware-in-the-loop*.

Metodologia

A principal característica do Model Based Design é que ele integra o modelo de alto nível entre as diferentes fases de desenvolvimento, como mostrado na Fig. 1. O método é amplamente adotado devido à sua capacidade de permitir a correção dos erros do modelo conforme são detectados em qualquer uma das fases existentes.

Usando o fluxograma da Fig. 1, por meio de pesquisa e estabelecimento dos requisitos necessários da aplicação, um design de modelo é criado utilizando o design de blocos do Simulink. O design é simulado dentro do ambiente MATLAB. Se resultados satisfatórios forem alcançados, ele é convertido para HDL utilizando a ferramenta Xilinx System Generator. Em HDL, o modelo é implementado em um FPGA protótipo para testes. Verificações e correções de erros são realizadas de forma iterativa em cada etapa. Uma

vez validado, a descrição pode ser transferida para o hardware final.

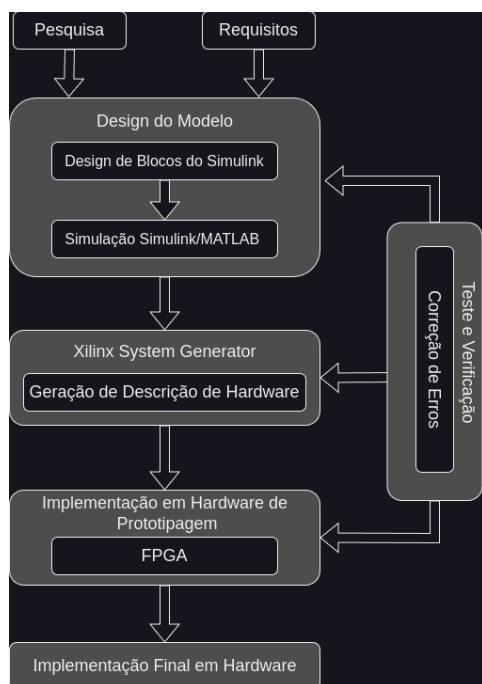


Figura 1 - Metodologia Model Based Design aplicada no desenvolvimento de sistema.

O Xilinx System Generator é uma ferramenta de design dentro da Vivado Design Suite que permite o uso do ambiente Simulink para o design de FPGA. O design é capturado no ambiente de modelagem do Simulink usando um blockset específico da Xilinx. Este blockset é essencial para converter o design em uma descrição de hardware para uma placa designada. Além disso, o fluxo de trabalho do design permite que os usuários realizem a verificação HIL entre o hardware e o ambiente Simulink. A comunicação entre o Simulink e a placa FPGA é facilitada através de interfaces JTAG ou Ethernet.

Para a implementação do hardware protótipo, este trabalho utiliza a FPGA do kit de desenvolvimento ZedBoard. A robusta combinação de periféricos integrados e capacidades de expansão da ZedBoard a torna uma plataforma ideal para testes e desenvolvimento.

Após realizar a correção iterativa de erros em cada fase do fluxo de trabalho de design e validar o modelo final na simulação HIL, a descrição de hardware está pronta para ser implementada como um produto no hardware final do EWR, que pode ser um

FPGA dedicado à análise de sinais ou até mesmo um circuito integrado específico de aplicação (ASIC).

Para demonstrar o método Model Based Design em aplicações de guerra eletrônica, propomos um sistema básico que grava sinais de RF, conforme mostrado na Fig. 2.

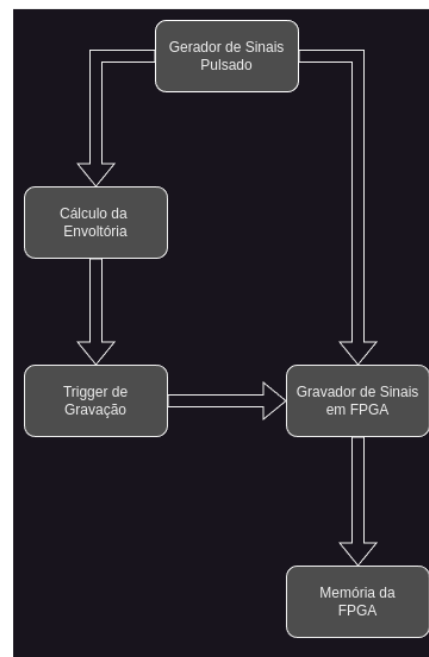


Figura 2 - Diagrama de Blocos de Gravador de RF.

Primeiramente, um sinal de pulso de teste é gerado, que deve ser gravado apenas sob condições específicas de acionamento. Para isso, a envoltória do sinal de RF é calculado a partir de seus componentes *Inphase* (I) e *Quadrature* (Q). Isso é feito somando os quadrados dos componentes I e Q e, em seguida, tirando a raiz quadrada do resultado para obter o valor da envoltória em cada amostra de tempo.

Quando este valor cruza o trigger de gravação predeterminado, o gravador FPGA é ativado. Com isto, os valores gravados são subsequentemente armazenados na memória da FPGA utilizando um esquema FIFO (*First in First out*).

Resultados e discussão

Tanto a Fig. 3 quanto a Fig. 4 mostram quatro pulsos, cada um separado por um período de 0,2 ms, e em cada um deles o limite do trigger é ultrapassado, o

que significa que, em ambos os casos, o gravador é ativado, capturando as amostras dos sinais I e Q de entrada.

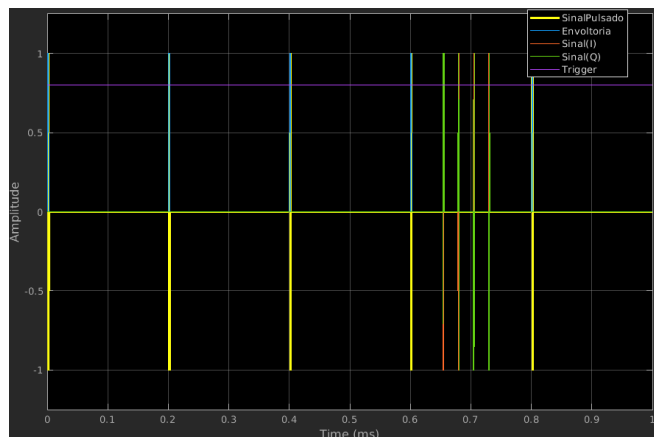


Figura 3 - Gravador de Sinais Pulsado Simulado.

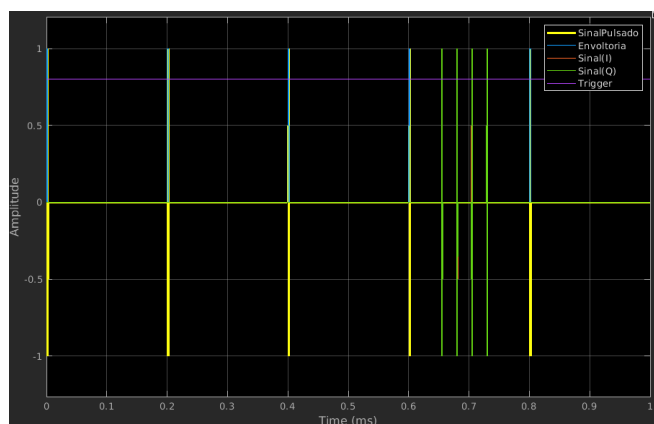


Figura 4 - Gravador de Sinais Pulsado em HIL.

Além disso, como pode ser visto nas figuras, entre 0,6 ms e 0,8 ms de tempo de simulação, o *switch* que controla a saída dos espaços de memória FIFOs é ativado, demonstrando que os sinais gravados estavam disponíveis por meio da leitura do FIFO quando necessário.

Conclusões

Neste artigo, apresentamos uma análise de como a metodologia Model Based Design pode ser aplicada através de Rádio Definido por Software em aplicações de guerra eletrônica (EW). Sendo assim, ao seguir os passos ditados pelo MBD, é possível aplicar a modelagem rápida de design no contexto de um

receptor de guerra eletrônica (EWR), mais especificamente, em uma aplicação de gravador de RF parametrizado. Além disso, ao reunir tanto os conceitos de RDS quanto de MBD, resultados satisfatórios foram alcançados utilizando as ferramentas de suporte disponíveis, especificamente o Xilinx System Generator e as ferramentas da Mathworks.

Com um esforço mínimo, conseguimos gerar uma descrição de hardware que replica o modelo conceitual simulado no FPGA. Isto permite que pessoas com conhecimento relativamente limitado de HDL acelerem suas aplicações usando plataformas de hardware, enquanto mantêm a resolução de problemas e a correção de erros contidas dentro do fluxo de modelagem.

Além disso, como as ferramentas possibilitaram a simulação *hardware-in-the-loop* (HIL) através da comunicação por cabo JTAG entre a placa Zedboard e o Simulink, foi possível comparar os resultados em tempo real de ambas as instâncias; ou seja, a versão simulada apenas no Simulink e sua versão em hardware dedicado.

Portanto, ao analisar a Fig. 3 e a Fig. 4, é evidente que ambas as implementações apresentam um alto grau de semelhança. Isso valida a implementação de hardware das funções de controle e de processamento de sinal digital, sinalizando a prontidão para os próximos passos finais no fluxo de MBD.

Agradecimentos

Este trabalho foi realizado com o apoio da FINEP, por meio do Projeto LOM Fase 1 (Desenvolvimento de Cargas Úteis para Recepção de Sinais Eletromagnéticos para Satélites), número de referência 01.22.0581.00.

Gostaria de agradecer também ao ITA pelo suporte durante o processo de desenvolvimento do trabalho, como também por disponibilizar o LABGE (Laboratório de Guerra Eletrônica). Além disso, agradeço também a todos os integrantes do Projeto LOM que auxiliaram na pesquisa durante o decorrer do ano.

Referências

- D. Adamy, EW 101: A First Course in Electronic Warfare, ser. Artech House radar library. Artech House, 2001.
- S. Robertson, Practical ESM Analysis, ser. Artech House electronic warfare library. Artech House, 2019.

R. Poisel, *Electronic Warfare Receivers and Receiving Systems*, ser. Artech House electronic warfare library. Artech House, 2015.

D. Allan, E. Atimati et al., *Software Defined Radio with Zynq Ultrascale+ RFSoc*, 1st ed., L. Crockett, D. Northcote, and R. Stewart, Eds. Strathclyde Academic Media, Jan. 2023.

A. Wyglinski, R. Getz, T. Collins, and D. Pu, *Software-Defined Radio for Engineers*, ser. Artech House mobile communications series. Artech House, 2018.

G. Nicolescu and P. Mosterman, *Model-Based Design for Embedded Systems*, ser. Computational Analysis, Synthesis, and Design of Dynamic Systems. CRC Press, 2018.

A. Romanov and S. Bogdan, “Open source tools for model-based fpga design,” in 2015 International Siberian Conference on Control and Communications (SIBCON), 2015, pp. 1–6.

M. Mekhfioui, A. Satif, O. Mouhib, R. Elgouri, A. Hadjoudja, and L. Hlou, “Hardware implementation of blind source separation algorithm using zybo z7 xilinx system generator,” in 2020 5th International Conference on Renewable Energies for Developing Countries (REDEC), 2020, pp. 1–5.

Digilent, Inc., *ZedBoard Zynq Evaluation and Development: Hardware User’s Guide*, 2012, acesso em: 7 jul. 2024.