

DESENVOLVIMENTO DE INTERFACE ANALÓGICA E DIGITAL ÓPTICA PARA PESQUISA E ENSINO DE CONVERSORES ELETRÔNICOSJoão Pedro Basilio Dinareli¹ (IC), Wilson Cesar Sant’Ana (PQ)¹¹Universidade Federal de Itajubá.**Palavras-chave:** Conversores Multiníveis. Eletrônica de Potência. FPGA. System On Chip. Zynq**Introdução**

Visando diminuir a dependência de combustíveis fósseis, fontes de energias renováveis (em especial, as fotovoltaicas) vêm sendo pesquisadas. Entretanto, dado que os painéis fotovoltaicos produzem energia em corrente contínua e as cargas necessitam corrente alternada, conversores eletrônicos precisam ser utilizados. Além disso, esses conversores também são responsáveis por extrair o máximo de potência de uma fonte (irradiação solar, por exemplo) cuja energia é variável e intermitente. O princípio básico de funcionamento desses conversores é a modulação PWM - onde uma dada grandeza elétrica é chaveada rapidamente e se utilizam elementos armazenadores de energia (indutores e capacitores) de forma que se produza uma outra grandeza, porém de forma controlada. Entretanto, esse chaveamento introduz perdas de energia e, dada a variabilidade e a intermitência das fontes renováveis mais importantes (como a solar e a eólica), essas perdas precisam ser evitadas.

Uma das formas de se reduzir essas perdas é a utilização de topologias multiníveis. Nessas topologias, dois ou mais submódulos realizam seus chaveamentos em instantes distintos de tempo (com defasagem controlada em seus pulsos de disparo), resultando em frequências aparentes de chaveamento muito maiores do que as que controlam os interruptores semicondutores (MOSFETs ou IGBTs) do conversor. Dessa forma, frequências menores podem ser utilizadas nos interruptores (reduzindo perdas por chaveamento) e valores menores dos elementos armazenadores de energia podem ser utilizados (reduzindo as perdas eletromagnéticas e o tamanho físico dos conversores). A limitação para o aumento do número de submódulos a serem controlados é o número de canais PWM disponíveis nos microcontroladores e DSPs (o DSP TMS320F28335 utilizado em artigo prévio do orientador (Sant’Ana, 2020) possui apenas 6 módulos

PWM - o que permite o controle de apenas 3 pontes H em cascata). Fica clara a necessidade do uso de um dispositivo que possibilite maior configurabilidade e maior número de saídas. Neste sentido, os FPGAs se apresentam como solução ideal - dado que estes dispositivos possuem uma infinidade de saídas digitais programáveis.

Nos últimos anos, o orientador vêm treinando seus discentes de IC no uso da tecnologia FPGA em conversores de eletrônica de potência - entretanto, se esbarra na falta de uma plataforma que permita a rápida montagem dos conversores (e que minimize o risco de ligações incorretas). Esse projeto, portanto, visa cobrir essa lacuna e oferecer para instituições de ensino e pesquisa uma plataforma que proporcione uma fácil reconfiguração das topologias (os submódulos e placas analógicas são apenas encaixados nas respectivas placas mães e o FPGA é reconfigurado por software). Será utilizada uma placa SoC/FPGA Zynq (Xilinx/AMD) do fabricante chinês ALINX (de preço muito mais em conta do que outras alternativas equivalentes).

Metodologia

Inicialmente, foi feita a familiarização do discente com o ambiente Vivado e a placa ALINX. O discente realizou uma montagem inicial em protoboard com optoacopladores funcionando como as chaves dos conversores e seguiu material elaborado pelo orientador sobre uso de FPGAs em conversores (Sant’Ana, 2019), visando o controle de uma ponte H. O discente realizou testes digitais simples, como implementação de pulsos PWM e o uso do PS (ARM com Linux) para controle do PL (FPGA com core PWM).

A ideia original seria apenas utilizar optoacopladores, como uma alternativa de baixíssimo custo aos MOSFETs/IGBTs e gate drivers. Entretanto, como a capacidade de corrente dos optoacopladores era muito baixa, decidiu-se pelo uso convencional de MOSFETs. Um primeiro conjunto de placas foi elaborado (e

“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”

montado) com IPMs MOSFETs, mas foram detectados alguns problemas (relatados na seção de **Resultados**), que foram corrigidos com MOSFETs discretos e gate drivers isolados. Além do projeto digital (dos submódulos de potência), o discente também realizou o projeto das placas analógicas.

Resultados e discussão

A Figura 1 apresenta a primeira versão da placa SM, de submódulo em meia ponte com IPM não isolado. Como esse IPM não é isolado, o MOSFET superior da meia ponte precisa estar referenciado ao GND do FPGA (quem está diretamente ligado ao GND do FPGA é o source do MOSFET inferior - mas o gate do superior necessita uma referência). Nesses casos se utiliza um capacitor de bootstrap. A placa possui um capacitor soldado diretamente, mas também possui um conector para capacitor externo, caso necessário. Nos testes, não foi necessário capacitor externo. Foram confeccionadas 5 dessas placas para teste. Cada uma dessas placas possui um conector para conexão à placa mãe digital (que se conecta ao conector J10 da placa ALINX), chamada de J10 por conveniência.

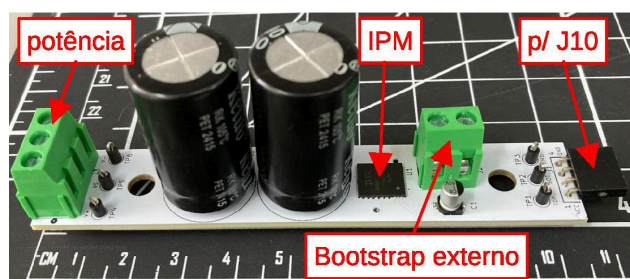


Figura 1 – Fotografia da primeira versão (não isolada) da placa de submódulos

A Figura 2 apresenta a primeira versão da placa mãe digital J10. Essa placa recebe alimentação de fonte externa e a distribui aos SMs. Um total de 12 SMs (já apresentados na Figura 1) podem ser conectados. Alguns pinos digitais disponíveis no conector J10 da placa ALINX mas não roteados para os SMs ficaram disponíveis como GPIO em um conector. Como a placa ALINX apenas apresenta conectividade por ethernet cabeada, alguns desses pinos de GPIO foram alocados para conexão de um módulo wifi (que se adquire pronto - muito utilizado com Arduino).

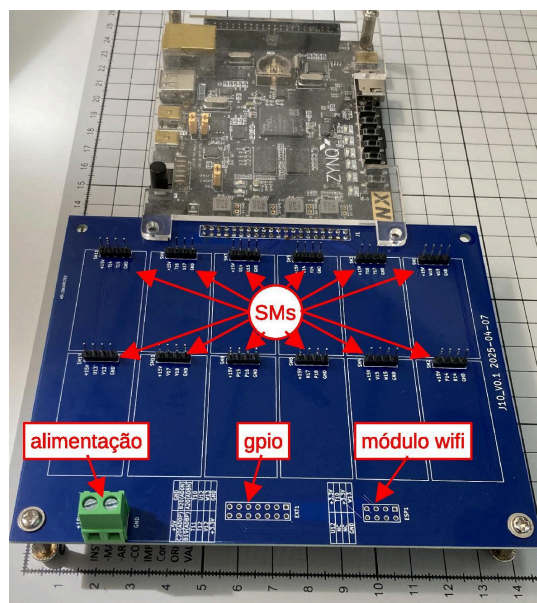


Figura 2 – Fotografia da primeira versão da placa mãe digital J10, conectada à placa ALINX

Essa primeira versão apresentou dois problemas (e um inconveniente - que foram corrigidos na segunda versão). O primeiro problema é devido ao fato dos capacitores serem pesados e forçarem (mecanicamente) os conectores que ligam os SM à placa mãe. Esse problema foi resolvido com furos de fixação tanto na placa mãe quanto nas placas de SM e uma peça de fixação a ser manufaturada em impressora 3D. O segundo problema foi devido ao uso de um IPM não isolado. Devido a essa característica, os MOSFETs inferiores de cada SM precisam estar no mesmo nível do GND do FPGA de controle. Isso impossibilita a operação em topologias multiníveis (essa primeira versão permite apenas inversores de até 3 níveis e conversores DC-DC). Esse problema foi corrigido com a utilização de um gate driver isolado (isso, entretanto, aumentou o custo de cada SM). O inconveniente (não necessariamente um problema) da placa J10 original foi que o acrílico da placa ALINX precisava ser retirado para conexão da placa J10 e recolocado por cima (isso pode ser observado na Figura 2). Esse inconveniente foi corrigido com um recorte no contorno da placa J10 atualizada.

A Figura 3 apresenta a solução temporária encontrada para os testes no sistema original (sem os furos para o suporte): o uso de um barbante para impedir as placas de SM de tombarem para a frente.

“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”

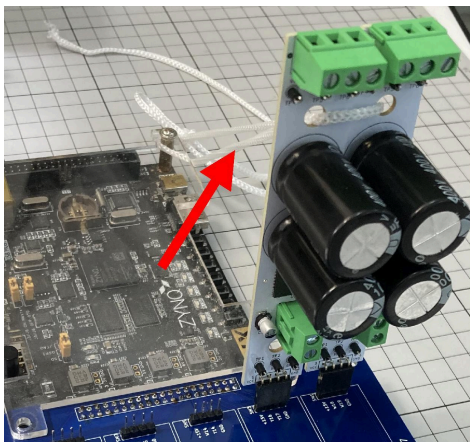


Figura 3 – Problema na primeira versão da placa J10: falta de suporte para os SM pesados

A Figura 4 apresenta a versão corrigida da placa J10, onde se percebem os furos para o suporte e o recorte para conexão sem necessidade de remoção do acrílico da placa ALINX. Devido aos ajustes na versão atualizada das placas de SMs, estas tiveram um aumento em suas dimensões - que também resultou em aumento nas dimensões da placa J10.



Figura 4 – Renderização 3D da segunda versão da placa mãe digital J10, com as devidas correções

A Figura 5 apresenta a versão atualizada da placa SM, utilizando MOSFETs discretos, gate driver isolado e conversores DC-DC isolados.

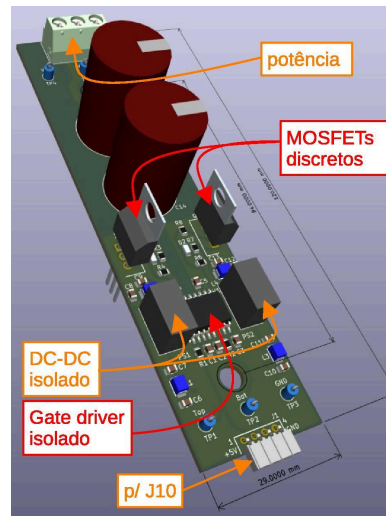


Figura 5 – Renderização 3D da segunda versão (isolada) da placa de submódulos

A placa J10 se conecta ao conector J10 da placa ALINX (conector da esquerda). A placa ALINX também possui um outro conector de 40 pinos no lado direito, o conector J11. Esse conector dá acesso aos pinos analógicos da placa. Dessa forma, foi desenvolvida uma placa mãe analógica, chamada J11 por conveniência. Nessa placa podem ser conectadas 9 placas de condicionamento com ampops. Em cada uma dessas placas de ampops, são conectadas placas de sensores diversos.

A Figura 6 apresenta dois modelos de placa de sensores de corrente. O modelo da esquerda utiliza sensor do tipo Hall, que permite medições de correntes AC e DC, entretanto esses sensores são mais caros. Quando se necessitam medidas apenas de correntes AC, um sensor do tipo TC (muito mais em conta) pode ser utilizado, tal modelo da direita. Em ambos os casos a entrada de corrente ocorre por uma janela no primário (por onde se passa o condutor).

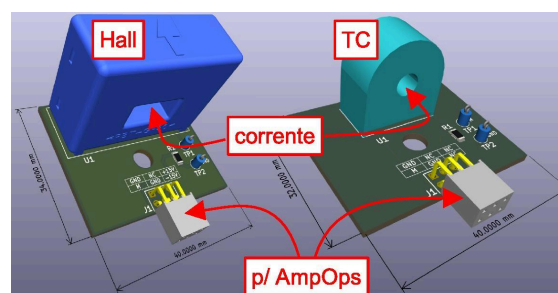


Figura 6 – Renderização 3D das placas de sensores de corrente (Hall para correntes AC e DC - TC para correntes AC apenas)

“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”

A Figura 7 apresenta dois modelos de placa de sensores de tensão. O modelo da esquerda utiliza sensor do tipo Hall, que permite medições de tensões AC e DC. O modelo da direita utiliza sensor do tipo TP, que permite medições de tensões AC apenas. Em ambos os casos são necessários resistores no primário, que podem ser curto-circuitados através de jumpers, visando seleção da tensão de entrada.

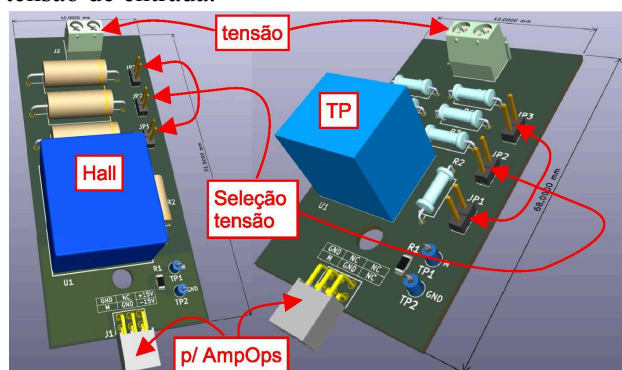


Figura 7 – Renderização 3D das placas de sensores de tensão (Hall para tensões AC e DC - TP para tensões AC apenas)

A Figura 8 apresenta a placa de condicionamento, com um INA na entrada e um ampop na saída para ganho e offset. Tanto o offset quanto os ganhos são selecionáveis por jumpers.

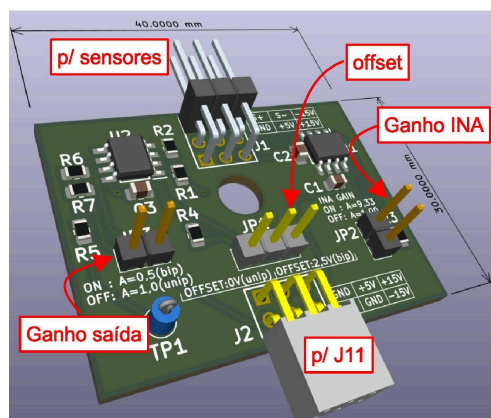


Figura 8 – Renderização 3D da placa de amplificadores de instrumentação e operacionais

A Figura 9 apresenta a placa mãe analógica J11. Essa placa recebe alimentação de fonte externa e a distribui aos ampops (que a redistribui aos sensores). Um total de 9 conjuntos analógicos de sensores (Figuras 6 e 7) e ampops (Figura 8) podem ser conectados. Alguns pinos digitais disponíveis no conector J11 da placa ALINX

ficaram disponíveis como GPIO em um conector.

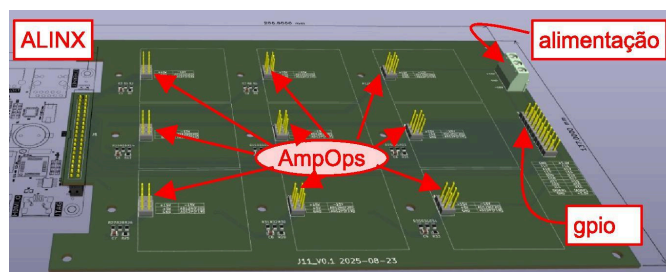


Figura 9 – Renderização 3D da placa mãe analógica J11

Conclusões

Este trabalho abordou o desenvolvimento de um conjunto de placas visando ensino e pesquisa de conversores eletrônicos de potência. O sistema é modular e facilmente reconfigurável apenas pelo encaixe de placas e reprogramação do FPGA. Todas as placas foram elaboradas no software Open Source kiCAD. Inicialmente cada placa seria confeccionada e testada antes de se fazer a próxima. Entretanto, de forma a se reduzir os custos com frete (da China, no caso das placas e dos Estados Unidos, no caso dos componentes), foi necessário finalizar todo o conjunto primeiro. Foram apresentadas as renderizações 3D das placas. Espera-se a conclusão das montagens físicas até o fim de 2025. Uma vez finalizado o projeto, a plataforma será disponibilizada sob forma Open Hardware e, possivelmente, comercializada (a versão física) por alguma empresa júnior da universidade.

Agradecimentos

Os autores agradecem à Universidade Federal de Itajubá (UNIFEI) e ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq).

Referências

Sant’Ana (2019), “Blog Doing Tech Myself, label DE0nano” <http://doingtechmyself.blogspot.com/search/label/DE0nano>, de março 2018 a maio 2019.

Sant’Ana (2020), "13.8 kV Operation of a Peak-Shaving Energy Storage Equipment With Voltage Harmonics Compensation Feature," in IEEE Access, vol. 8, pp. 182117-182132, 2020, doi: 10.1109/ACCESS.2020.3028763.