

## ANÁLISE E PROJETO DE CHIP PARA CIRCUITOS NEUROMÓRFICOS DIGITAIS DE ARQUITETURA ELM UTILIZANDO LINGUAGEM VERILOG

Gabriel Antonio Fanelli de Souza (PQ)<sup>1</sup>, Felipe Haik Puccinelli<sup>1</sup> (IC)

<sup>1</sup>Universidade Federal de Itajubá

**Palavras-chave:** Circuitos Neuromórficos. ELM. Sistemas Digitais. Verilog.

### Introdução

Com a preocupação global em soluções que apresentem consumo reduzido em eficiência energética, a área de pesquisa em Redes Neurais Artificiais (RNA's) vem ganhando seu espaço. Como estes circuitos tentam espelhar o funcionamento de um cérebro humano, é possível produzir circuitos complexos que trabalham com um baixo custo energético.

Afunilando na área das redes neurais, os sistemas digitais apresentam uma grande vantagem por trabalharem com picos de sinais, se assemelhando ao funcionamento real do neurônio humano [1]. Baseando-se na figura 1, os neurônios funcionam baseados em uma somatória dos pesos de entrada, multiplicados por uma série de pesos de entrada de cada sinapse, temos a aplicação desse valor numa função de ativação que decide o sinal à sair do neurônio.

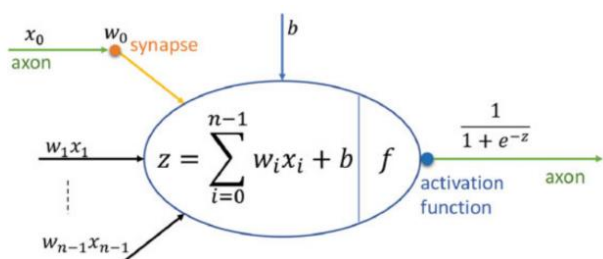


Figura 1 – Representação matemática do neurônio

Com isso, as interligações entre vários neurônios criam a chamada Rede Neural, capaz de realizar diversas tarefas como identificação, previsão e otimização [3]. Diferenciando em quantidade de camadas e disposição das ligações dos neurônios, diferenciamos as redes em suas chamadas arquiteturas, cada uma apresentando suas vantagens e desvantagens.

A arquitetura ELM funciona baseada em somente uma camada de neurônios, como apresentado na figura 2, facilitando assim os cálculos dos pesos de saída. Ao arbitrar os valores de bias e dos pesos de entrada, o

sistema depende apenas de uma variável, facilitando nos cálculos [6]. Com um simples cálculo de matrizes, utilizando o peso de saída como variável, é possível realizar o treinamento da rede de uma maneira simples e rápida, sem custo computacional.

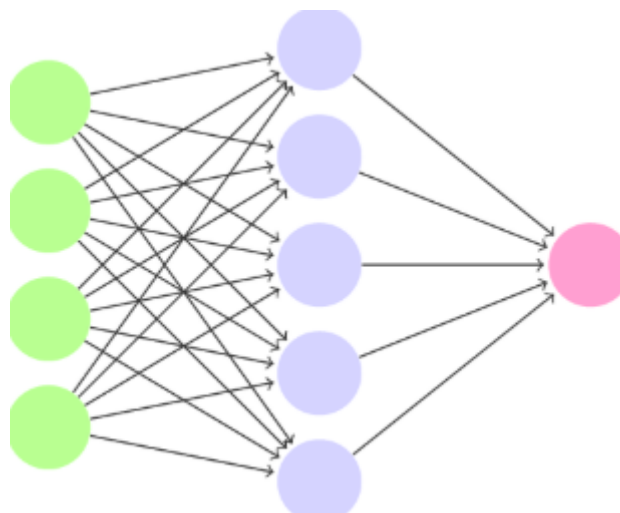


Figura 2 – Arquitetura de rede ELM

O estudo em questão visa analisar a viabilidade de um circuito digital, descrito em linguagem Verilog, para mimetização e identificação de superfícies, funcionando com baixo consumo energético e uma boa eficiência.

### Metodologia

O projeto foi desenvolvido em quatro partes principais: especificação do circuito, descrição do circuito em linguagem Verilog, simulação e verificação do circuito e a prototipação do modelo em chip.

Para a primeira etapa, foi pensado o circuito baseado em pesos fixos de entrada em potência de dois, visto que o circuito trabalha com entradas digitais. Assim, a operação de multiplicação das entradas pelos seus pesos vira trivial, se tornando somente deslocamento de bits.

*“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”*

Na parte de descrição do circuito e simulações, foi utilizado o software aberto Quartus [4] da Intel. Através dele, foi feita a descrição estrutural do circuito, além das simulações e análise da funcionalidade do circuito.

Por fim, para a síntese e placement and route do chip, foi utilizada uma tecnologia Skywater130nm [5], através do software Innovus. Através da descrição do circuito, foi feita a descrição em silício do circuito, gerando também relatório com respeito à densidade e área total do chip.

### Resultados e discussão

O circuito digital, apresentado em módulos na figura 3, referente à rede neural, foi desenvolvido utilizando registradores para os pesos de entrada, pesos de saída e bias, além de uma memória RAM para a gravação dos dados e um acumulador para a soma das saídas.

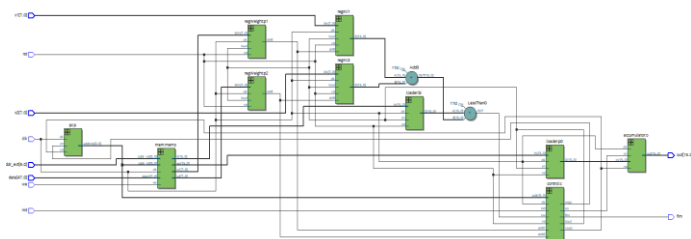


Figura 3 – Visualização do circuito em módulos

Com o circuito testado e funcionando, foi feita a síntese do circuito para design em chip, gerando os arquivos em extensões sdc e sdf, necessárias para definir as ligações e trilhas que serão projetadas no chip. Além disso, foi gerado o arquivo em extensão vh, responsável pela definição de cada conexão que constará no projeto do chip.

Após a etapa de síntese da prototipagem, vem a etapa de place and route. Auxiliado pelo software próprio para a prototipagem, foi criado o modelo do circuito que realiza as funções descritas em Verilog. Na figura 4, podemos ver todas as ligações, não só entre as camadas de silício, mas também entre as próprias instâncias de cada camada.

O circuito gerado representa o circuito projetado na figura 3, como é possível ver na figura 5, mimetizando até certos módulos na visualização em módulos, como o de memória RAM e dos registradores.

Além disso, foram gerados reports do Design Rule Check (DRC), mostrando dados importantes para o

projetista avaliar onde há erros de design e possíveis falhas de fabricação do circuito. Pela tabela 1, vemos que a área do circuito, apesar de grande, pode ser fabricada.

Outrossim, o DRC apresentou somente mensagens de violação de densidade de metais, porém essas violações só poderiam ser resolvidas em etapas posteriores da prototipagem do chip, sendo resolvidas com o fechamento do layout com preenchimento de metais dummy.

Vale ressaltar que esses erros de densidade podem vir do fato do chip não ser fechado na produção e design, portanto, não há todas as ligações realmente apresentadas.

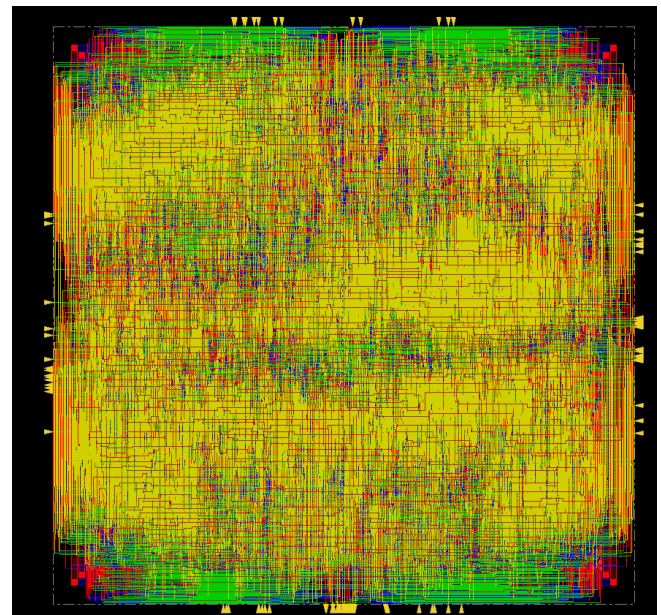


Figura 4 – Layout do chip gerado pelo Innovus

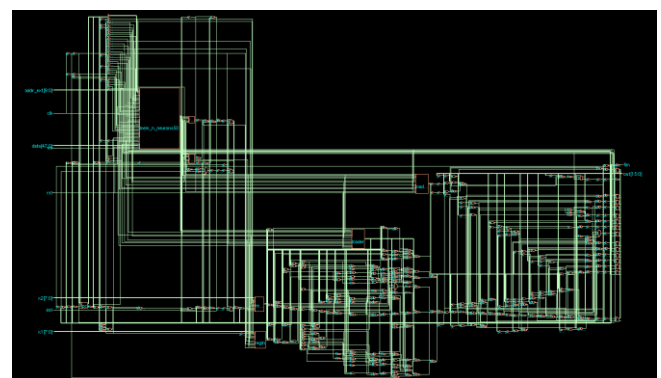


Figura 5 – Circuito gerado pelo Innovus

**“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”**

Camadas	5	Nº Camadas
Área total	493948.224	µm
Pinos de IO	93	Nº Pinos
Instâncias usadas	25596	Nº Instâncias
Densidade	78.360	%

Tabela 1- Resultados apresentados pelos reports

### Conclusões

Avaliando os resultados do design do chip apresentado, apesar de apresentar uma área relativamente grande para a fabricação de um chip, o estudo comprova a viabilidade de criação para fabricação do circuito desenvolvido, visto que os erros apresentados no DRC serão resolvidos ao fechar o chip com materiais dummy.

É importante destacar que o chip projetado foi baseado em uma rede com 50 neurônios, podendo variar de resultado dependendo da escala da rede utilizada. Além disso, há a limitação de entrada, que trabalha somente com valores de até 8 bits, necessitando de mais pinos para utilizar um valor de entrada maior.

Para pesquisas futuras, seria interessante realizar testes de eficiência energética do circuito, além de outros checkups para haver garantia de que o circuito está pronto para fabricação. É possível também partir para o lado físico e imprimir o circuito em silício, a fim de realizar testes mais robustos em meio físico.

### Agradecimentos

Por esta oportunidade de pesquisa, agradeço à UNIFEI pelo auxílio à pesquisa, além de agradecer ao órgão CNPq pelo incentivo para a conclusão da pesquisa. Agradeço também ao Grupo de Microeletrônica e seus membros, por todo o seu apoio durante a conclusão da pesquisa.

### Referências

- [1] ABDALLAH, Abderazek Ben; DANG, Khanh N. **Neuromorphic computing: principles and organization**. Cham: Springer Nature Switzerland, 2022. ISBN 978-3-030-92524-6. DOI: <https://doi.org/10.1007/978-3-030-92525-3>.
- [2] HUANG, Guang-Bin; ZHU, Qin-Yu; SIEW, Chee-Kheong. **Extreme learning machine: theory and applications**. Berlin: Springer, 2015. (Studies in Computational Intelligence, v. 389). ISBN 978-3-642-13937-4. DOI:

<https://doi.org/10.1007/978-3-642-13938-1>.

[3] DONG, Zhekang; LAI, Chun Sing; ZHANG, Zhaowei; QI, Donglian; GAO, Mingyu; DUAN, Shukai. **Neuromorphic extreme learning machines with bimodal memristive synapses**. *Neurocomputing*, v. 453, p. 38–49, 2021. DOI: 10.1016/j.neucom.2021.04.049.

[4] INTEL CORPORATION. *Intel Quartus Prime Lite Edition* [software]. Versão 24.1. Disponível em: <https://www.intel.com/content/www/us/en/software-kit/849770/intel-quartus-prime-lite-edition-design-software-version-24-1-for-windows.html>. Acesso em: 23/08/2025

[5] STINE, James E. Jr.; ERRA, Rachana. *sky130\_cds: open-source version of SKY130 to facilitate use of Cadence Design System tools for Skywater 130 Process Design Kit* [software]. GitHub, 2025. Disponível em: [https://github.com/stineje/sky130\\_cds?tab=readme-ov-file](https://github.com/stineje/sky130_cds?tab=readme-ov-file). Acesso em: 23/08/2025.

[6] ALVES, Euller Lucas Mendes; SOUZA, Gabriel Antonio Fanelli de. **Análise e implementação de circuito neuromórfico utilizando a arquitetura ELM (Extreme Learning Machine) em hardware**. Resumo expandido — Universidade Federal de Itajubá, 2024.