

**“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”****Documentação de *hardware* e validação funcional de um dispositivo centralizado de proteção e controle de subestações desenvolvido na UNIFEI**Lucas de Almeida Rocha (IC)<sup>1</sup>, Carlos A. V. Guerrero (PQ)<sup>1</sup><sup>1</sup>Universidade Federal de Itajubá (UNIFEI)**Palavras-chave:** CPC (*Centralized Protection and Control*), IED (*Intelligent Electronic Device*), RTDS (*Real Time Digital Simulator*), MCU (*Microcontroller Unit*), ADC (*Analog-to-Digital Converter*).**Introdução**

Com os avanços tecnológicos do cenário atual e a introdução do conceito de “subestações 4.0”, a arquitetura do sistema de automação de subestação (*Substation Automation System – SAS*) também evoluiu. Ela migrou de uma estrutura convencional, onde cada função de Proteção e Controle (P&C) era distribuída entre vários dispositivos eletrônicos inteligentes (*Intelligent Electronic Device – IED*), para a integração de um Dispositivo Centralizado de Proteção e Controle (*Centralized Protection and Control – CPC*) (IEEE, 2015). Este equipamento é capaz de realizar todas as funções necessárias, como proteção, controle, monitoramento e comunicação, em uma única plataforma computacional de alto desempenho. Tendo isso em vista, o projeto CPC-UNIFEI visou desenvolver um protótipo de CPC com *hardware* e *software* abertos, para ser utilizado no meio acadêmico em conjunto com o Simulador Digital em Tempo Real (*Real-Time Digital Simulator – RTDS*). Dessa forma, o estudo aprofundado e o desenvolvimento de algoritmos de P&C, bem como a implementação da norma IEC 61850 (IEC, 2009), tornam-se possíveis em um cenário que até então era distante devido às restrições impostas pelos fabricantes de IEDs comerciais.

Uma vez desenvolvido o protótipo, o presente projeto de iniciação científica buscou compreender a arquitetura do CPC e documentar seu *hardware* para viabilizar futuros desenvolvimentos, bem como realizar ensaios com o dispositivo para validar seu funcionamento e identificar pontos a serem melhorados em versões futuras.

Para isso, a primeira etapa do procedimento consistiu no estudo do projeto de *hardware* do CPC no *Altium Designer*, seu ambiente de desenvolvimento. Em seguida, foi realizada a documentação detalhada de seus componentes com base em suas respectivas *datasheets*. Em paralelo, o dispositivo foi submetido a ensaios em

laboratório para validar sua eficácia e analisar seus parâmetros de desempenho em tempo real.

**Metodologia**

O estudo do projeto foi realizado com o auxílio do *software Altium Designer*, que possibilitou a visualização do esquemático e do modelo 3D (*Three-Dimensional*) do CPC, conforme a **Figura 1**. Essa análise permitiu compreender as decisões de projeto e foi a base para a documentação detalhada de cada bloco funcional, consolidando as informações presentes no projeto e nas *datasheets* dos componentes. Nesse processo, o papel de cada elemento do circuito foi descrito terminal a terminal, a fim de esclarecer a implementação e a integração entre os componentes. A arquitetura do CPC-UNIFEI foi dividida nos seguintes blocos funcionais:

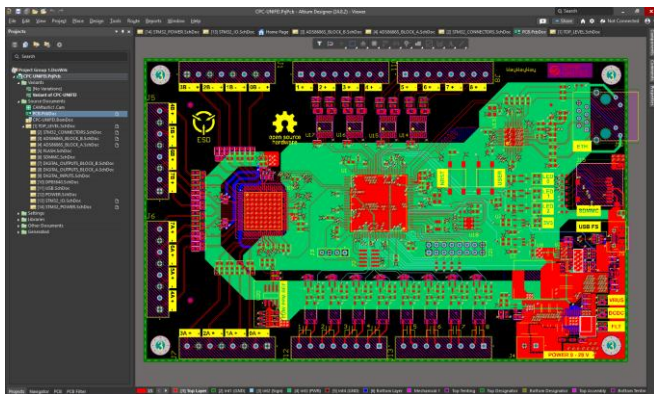
- **Unidade de Processamento Central:** Baseada no microcontrolador STM32H723ZGT6, Arm Cortex M7 de 32 bits que conta com um *clock* de 550 MHz, 1 MB de memória *flash*, 564 KB de RAM (*Random-Access Memory*) e suporte para USB (*Universal Serial Bus*) e *ethernet*. Este dispositivo é responsável por executar os algoritmos de proteção a partir dos dados adquiridos;
- **Front-End Analógico (AFE):** Utiliza o ADC (*Analog-to-Digital Converter*) ADS8686S, com filtros passa baixa balanceados de 14,7 KHz em suas entradas para receber e digitalizar os sinais analógicos emulados pelo RTDS. O ADC possui uma taxa de amostragem de 1 Msps (*Samples Per Second*) e dois canais de conversão simultâneos de 8 entradas com resolução de 16 bits;
- **Entradas Binárias:** Galvanicamente isoladas, responsáveis por receber sinais digitais do RTDS que simulam *status* de disjuntores e chaves seccionadoras.
- **Saídas Binárias:** Opticamente isoladas, responsáveis por enviar sinais de disparo (*trip*) ao RTDS.
- **Interface Ethernet:** Implementada com o transceptor

*“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”*

DP83640, garantindo comunicação em rede com o RTDS e outros IEDs comerciais, através dos protocolos definidos pela IEC 61850 como o GOOSE (*Generic Object Oriented Substation Event*);

- **Interface USB (Universal Serial Bus):** Utilizada como método de transmissão de dados, gravação de *firmware* e fonte alternativa de alimentação;

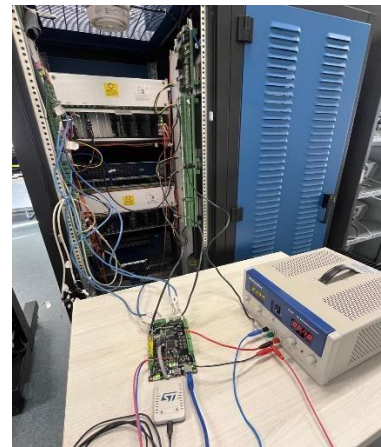
- **Fonte de Alimentação:** Foi projetada para receber energia de uma fonte externa ou da própria interface USB, distribuindo as tensões necessárias para todo o circuito;



**Figura 1** – Ambiente de desenvolvimento *Altium Designer* com o projeto do protótipo CPC-UNIFEI aberto.

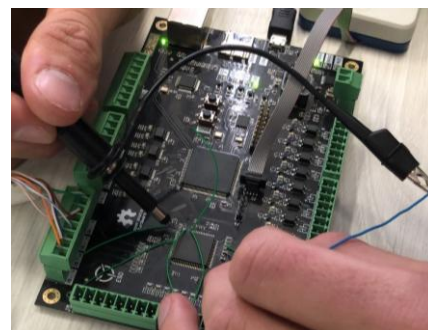
Para a validação funcional, foi realizado um primeiro ensaio no laboratório, conforme a **Figura 2**. Um cenário de uma linha de transmissão real, desenvolvido no RSCAD (software do RTDS), e simulado em tempo real pelo *hardware* do RTDS. As entradas analógicas do CPC-UNIFEI foram conectadas à placa GTAO (*Gigabit Transceiver Analog Outputs*) do RTDS, que por sua vez emulava os sinais dos secundários dos Transformadores de Corrente (TCs) e de Potencial (TPs), enquanto as saídas binárias do CPC foram conectadas à placa GTDI (*Gigabit Transceiver Digital Input*) para o envio dos comandos de *trip* (abertura dos disjuntores).

Durante a simulação, foi aplicada uma falta trifásica a 50% da linha por 4 segundos, a fim de acompanhar a resposta do dispositivo durante o evento. O objetivo do ensaio foi validar o funcionamento completo do *hardware*, verificando sua capacidade de digitalizar o sinal bipolar de  $\pm 10$  V recebido da GTAO, processar este sinal e acionar as funções ANSI 50/51 (Proteção de sobrecorrente instantânea e temporizada) para enviar um comando de *trip* de volta ao RTDS através das saídas binárias.



**Figura 2** – Ensaio realizado no CPC-UNIFEI com uma simulação de um cenário real gerada pelo RTDS.

Para validar a taxa de amostragem efetiva do CPC-UNIFEI, foi realizado um segundo ensaio no Laboratório de Proteção e Automação de Sistemas Elétricos (LPAS) da UNIFEI, injetando-se um sinal senoidal bipolar de  $\pm 10$  V a 60 Hz em uma de suas entradas analógicas, conforme a **Figura 3**. Com um osciloscópio, foram monitorados os terminais da interface SPI (*Serial Peripheral Interface*) entre o ADC (ADS8686S) e o microcontrolador, a fim de analisar os tempos de conversão e comunicação. Os sinais observados foram o CONVST (*Conversion Start*), que solicita o início de uma nova conversão; o BUSY, que indica quando uma conversão está em andamento; e o SCLK (*Serial Clock*), que dita a frequência da comunicação serial. Após cada conversão, os valores de 16 bits do sinal convertido são enviados de forma serial ao microcontrolador através dos pinos SDOA e SDOB (*Serial Data Output*). O objetivo do teste foi verificar se a taxa de amostragem efetiva implicaria em efeitos adversos, principalmente o fenômeno de *aliasing*.



**Figura 3** – Validação da frequência da comunicação serial realizada com o CPC-UNIFEI.

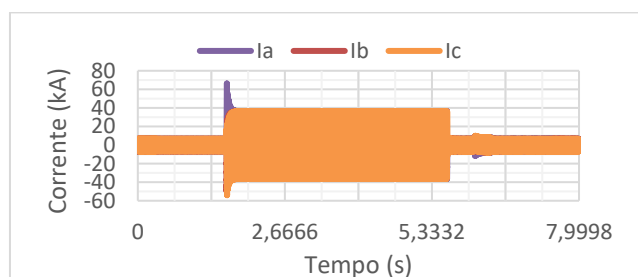
“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”

### Resultados e discussão

Um dos resultados concretos do trabalho é a documentação técnica do *hardware* do CPC-UNIFEI. O documento gerado detalha a arquitetura do dispositivo, descrevendo o papel e a interconexão de cada bloco funcional, o que serve como base consolidada para futuros estudos e aprimoramentos.

Os resultados do primeiro ensaio validaram o funcionamento do *hardware* do CPC-UNIFEI. Conforme ilustrado na **Figura 4**, que apresenta a oscilografia do evento, o dispositivo detectou a falta trifásica e acionou corretamente as funções de proteção de sobrecorrente, conforme a **Figura 5** e **Figura 6**.

A função de sobrecorrente instantânea (ANSI 50) atuou imediatamente após o início da falta, enviando o comando de *trip* de forma instantânea. Em contraste, a função de sobrecorrente temporizada (ANSI 51) respondeu conforme o esperado para uma proteção de retaguarda, atuando somente após a permanência da condição de falta por um tempo pré-determinado, neste caso, aproximadamente 2,2 segundos. A atuação seletiva e com os tempos corretos de ambas as funções confirma a capacidade do *hardware* de adquirir, processar e atuar sobre os sinais em tempo real.



**Figura 4** – Valores de corrente elétrica (Ia, Ib e Ic) durante uma falta trifásica simulada no RTDS.



**Figura 5** – Sinal de *trip* da saída binária do CPC por atuação da função ANSI 50 (50\_B).



**Figura 6** – Sinal de *trip* da saída binária do CPC por atuação da função ANSI 51 (51\_B).

Como resultado do segundo ensaio, conforme a **Figura 7**, o sinal medido no pino SCLK foi um sinal que se aproxima de uma onda quadrada com frequência de 32 MHz, validando a velocidade da comunicação SPI. A partir disso, calculou-se o tempo total para a aquisição de um par de amostras. O processo inicia com o pulso no pino CONVST, que pôde ser calculado com base no *clock* de 275 MHz, do barramento GPIO (*General-Purpose Input/Output*) do STM32H723ZGT6, segundo sua *datasheet*. Como o pulso de CONVST é baseado em duas instruções ele tem a duração de dois ciclos de *clock*, ou seja, 7,3 ns. Em seguida, o MCU (*Microcontroller Unit*) aguarda o fim da conversão do ADC, que, para um *oversampling* de 2x, leva 1,4  $\mu$ s, segundo a fabricante. Por fim, levando em conta que cada ciclo de SCLK dura 31,25ns, a transferência do resultado de 16 bits do sinal convertido via SPI consome 500 ns. Somando esses valores, concluiu-se que o microcontrolador adquire um novo par de amostras a cada 1,9  $\mu$ s, aproximadamente, o que resulta em uma frequência máxima efetiva de amostragem de 526 kHz.

Esta significativa disparidade entre a capacidade de amostragem do *hardware* e a taxa de operação nominal do projeto (960 sps) introduz um desafio crítico: o efeito de *aliasing*. Segundo o teorema de *Nyquist*, a taxa de amostragem de 960 sps define uma frequência de *Nyquist* de 480 Hz. No entanto, o *front-end* analógico do sistema, com seu filtro de 14,7 kHz, permite que sinais em uma banda muito mais larga cheguem ao conversor. Consequentemente, qualquer componente de frequência presente na vasta faixa entre 480 Hz e 14,7 kHz será incorretamente representado, o que pode comprometer severamente a integridade dos dados e levar a cálculos fasoriais errôneos.

Para mitigar este efeito e garantir a confiabilidade das medições, a mudança necessária é a implementação de um filtro digital *anti-aliasing* no *software*. Este filtro deve ser projetado para processar os dados amostrados do ADC e atenuar todas as frequências acima da frequência de *Nyquist* de 480 Hz, antes que os dados sejam enviados aos algoritmos de estimação fasorial. A inclusão desta etapa de filtragem digital é, portanto, um pré-requisito essencial para garantir que apenas o conteúdo espectral de interesse seja analisado, assegurando a precisão e a confiabilidade do sistema de proteção.

“Do conhecimento acadêmico à transformação sustentável: inovação com validação científica”

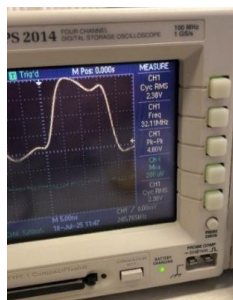


Figura 7 – Validação da frequência de 32 MHz do sinal SCLK na interface SPI, observado no osciloscópio.

### Conclusões

Este trabalho de iniciação científica alcançou êxito em seus objetivos, culminando em três contribuições centrais. A primeira, de caráter fundamental, foi a criação de uma documentação técnica detalhada do *hardware* do CPC-UNIFEI, estabelecendo um alicerce robusto para a continuidade de futuras investigações e desenvolvimentos tecnológicos.

A segunda contribuição reside na validação prática do sistema. Através de ensaios em tempo real com o RTDS, foi comprovado que a lógica implementada para as funções de proteção de sobrecorrente (ANSI 50 e 51) responde com a seletividade e os tempos de atuação esperados, validando sua funcionalidade em cenários controlados.

Contudo, a contribuição mais crítica deste estudo emergiu da caracterização do desempenho do *hardware*. Os ensaios revelaram uma capacidade de amostragem teórica de 526 kHz com OSR (*Oversampling Rate*) de 2x, mas também expuseram uma vulnerabilidade significativa ao fenômeno de *aliasing*. A análise demonstrou que a combinação do filtro analógico de entrada (14,7 kHz) com a taxa de amostragem nominal de operação (960 sps, com frequência de *Nyquist* de 480 Hz) é inadequada, gerando um risco que deve ser mitigado em projetos futuros para garantir a integridade dos sinais adquiridos.

### Agradecimentos

Agradeço à Universidade Federal de Itajubá (UNIFEI) pela infraestrutura e pela oportunidade de desenvolver esta pesquisa. Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), minha gratidão pelo fomento que viabilizou a realização deste projeto. Agradeço ao Prof. Dr. Carlos Alberto Villegas Guerrero, por acompanhar de perto o desenvolvimento e pelas valiosas contribuições. Agradeço também a Thiago Carvalho de Faria, pelo

tempo dedicado e por todo o suporte e orientação necessários. Por fim, agradeço à minha família e amigos pelo apoio durante toda a jornada.

### Referências

MOLZ, Gabriel Bortoletto. **Desenvolvimento e validação de um dispositivo centralizado de proteção e controle**. Monografia (Graduação em Engenharia Elétrica) – Instituto de Sistemas Elétricos e Energia, Universidade Federal de Itajubá, Itajubá, 2024.

GUERRERO, Carlos A. V. et al. Desenvolvimento de um dispositivo centralizado de proteção e controle em ambiente acadêmico para incentivo de inovação em alunos universitários. In: SIMPÓSIO DE AUTOMAÇÃO DE SISTEMAS ELÉTRICOS, 14., 2025, Foz do Iguaçu. **Anais** [...]. Foz do Iguaçu: CIGRÉ-Brasil, 2025. p. 1-10.

FARIA, Thiago Carvalho de et al. Desenvolvimento da interface de comunicação de um dispositivo centralizado de proteção e controle via protocolo GOOSE. In: SIMPÓSIO DE AUTOMAÇÃO DE SISTEMAS ELÉTRICOS, 14., 2025, Foz do Iguaçu. **Anais** [...]. Foz do Iguaçu: CIGRÉ-Brasil, 2025. p. 1-10.

RIBEIRO, Lucas Marques. **Desenvolvimento e Validação de um Algoritmo de Proteção de Sobrecorrente (ANSI 50/51) para um Sistema Centralizado de Proteção e Controle (CPC) Modelado em Hardware e Software Próprio Integrado ao RTDS**. 2024. Monografia (Graduação em Engenharia Elétrica) – Instituto de Sistemas Elétricos e Energia, Universidade Federal de Itajubá, Itajubá, 2024.

TEXAS INSTRUMENTS. **ADS8686S**: 16-Channel, 16-Bit, 1-MSPS, Dual, Simultaneous-Sampling ADC With Integrated Analog Front-End. Dallas, 2020. Disponível em: <https://www.ti.com/lit/ds/symlink/ads8686s.pdf>. Acesso em: 22 ago. 2025.

- STMICROELECTRONICS. **STM32H723VE STM32H723VG STM32H723ZE STM32H723ZG**: Arm® Cortex®-M7 32-bit 550 MHz MCU, up to 1 MB flash, 564 KB RAM, Ethernet, USB, 3x FDCAN, Graphics, 2x 16-bit ADCs. Geneva, 2025. Disponível em: <https://www.st.com/resource/en/datasheet/stm32h723zg.pdf>. Acesso em: 22 ago. 2025.

- INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS (IEEE). **Centralized Substation Protection and Control**. [S.l.]: IEEE Power System Relaying Committee - Working Group K15, 2015.

- INTERNATIONAL ELECTROTECHNICAL COMMISSION (IEC). **IEC 61850-6**: Communication networks and systems for power utility automation: Part 6: Configuration description language for communication in electrical substations related to IEDs. Geneva: IEC, 2009.