

ANÁLISE E PROJETO DE UM CIRCUITO NEUROMÓRFICO PARA APLICAÇÕES DE BAIXA POTÊNCIA

José A. de Souza Melo¹ (IC), Gabriel A. Fanelli de Souza (PQ)¹

¹Universidade Federal de Itajubá

Palavras-chave: ELM. *Energy harvesting*. Espelhos de corrente. Neurônio Analógico. Redes Neurais.

Introdução

Em aplicações de *Energy harvesting* é de suma importância obter-se o menor consumo de potência possível. O controlador MPPT (rastreador do ponto de máxima potência) é responsável por rastrear o ponto de máxima potência de uma célula fotovoltaica. Esse controlador, quando usado em sistemas de *energy harvesting*, necessita consumir a menor potência possível. No controle desse dispositivo, a lógica *fuzzy* é comumente usada graças a sua robustez e simplicidade. Segundo [1], a substituição da lógica *fuzzy* por uma rede neural ELM em controladores MPPT tem um potencial para menor consumo de potência, menor área de circuito integrado, maior flexibilidade de reprogramação e desempenho semelhante ao hardware *fuzzy*. A proposta deste projeto é criar um neurônio de arquitetura analógica que será usado na implementação da ELM. A arquitetura utilizada será com base em espelhos de corrente que podem ser encontrados em [2] e [3]. O circuito será construído utilizando a tecnologia TSMC 180 nanômetros que utilizará a variação do processo de fabricação dos transistores pra definir os pesos aleatórios de entrada do neurônio como proposto em [4]. Depois da validação do circuito através de simulação, ele será enviado para fabricação na TSMC (*Taiwan Semiconductor Manufacturing Company*) em conjunto com Universidade Federal de Itajubá.

Metodologia

Com estudos do funcionamento de um neurônio [4], é possível implementá-lo com espelhos de corrente como mostrado em [2]. Utilizando o efeito de modulação de comprimento de canal que há em espelhos de corrente simples [2], é possível forçar um erro no espelhamento causado de corrente. Esse erro no espelhamento devido pelo processo de fabricação do transistor será o peso de entrada aleatório do neurônio, como em [4]. Com espelhos mais robustos é possível criar espelhos de corrente que não distorcem a corrente espelhada e que necessitam de baixa tensão para o seu funcionamento,

esses espelhos são os espelhos Cascode de baixa tensão [2] que são utilizados para a entrada de Bias do neurônio. A saída dos espelhos simples e do o Bias 1 são somadas em um nó e então o resultado é enviado para uma função de ativação. Essa função de ativação é implementada pelo circuito de subtração limitada, criado em [3]. Esse circuito realiza a subtração entre duas correntes, que terá como corrente de saída apenas resultados positivos da subtração, resultados negativos são representados por 0 Ampères. Esse circuito implementa a função de transferência Relu, que através de um do segundo bias (Bias 2) é possível desloca-la sobre o eixo X. Cada posição diferente da Relu deslocada em função do Bias 2 pode ser vista como a resposta de um neurônio individual. Depois que o esquemático foi construído e as simulações obtidas, foi criado o layout do circuito e então este foi enviado para fabricação.

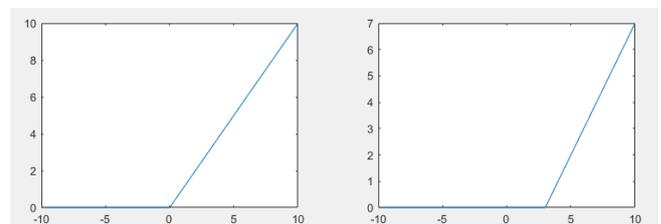


Figura 1 - Função RElu deslocada eixo X

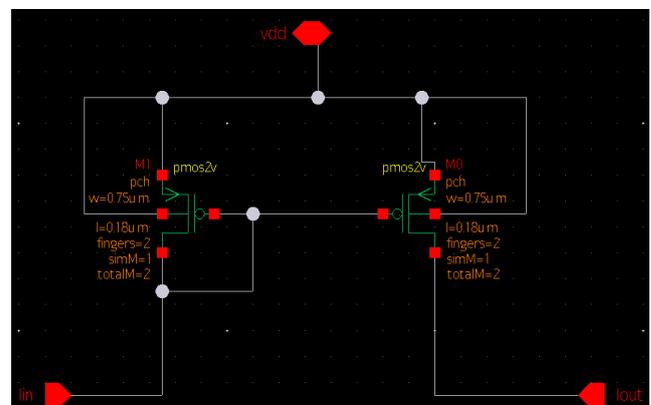


Figura 2 - Espelho de corrente PMOS simples

Conclusões

O comportamento do circuito obtido pelas simulações foi como o esperado, pois simula o comportamento de um neurônio, como podemos ver na figura (5). Com isso, visando o baixo consumo, a arquitetura construída é capaz de simular um neurônio que será usado em uma rede ELM para então substituir a hardware *fuzzy*. Os pesos provindos do processo de fabricação permitiram que não houvesse preocupação em implementar um circuito que emulasse os pesos de entrada, tais pesos aleatórios fazem parte da rede ELM e o algoritmo de aprendizado age apenas nos pesos de saída da rede e não nos pesos de entrada.

Agradecimento

Agradeço a Universidade Federal de Itajubá UNIFEI e a CNPq, por proporcionar suporte financeiro a esta pesquisa, sem o qual não teria sido possível.

Referências

- [1] FERREIRA, P. **Análise da viabilidade para desenvolvimento de arquitetura neuromórfica de baixa potência visando a implementação de um controlador MPPT para célula solar fotovoltaica em um sistema de energy harvesting.** UNIFEI, Itajubá, 2021.
- [2] RAZAVI, B. **Design of analog CMOS integrated circuits.** New York: McGraw-Hill, 2001.
- [3] SOUZA, Gabriel Antonio Fanelli. **Circuito Gerador de Função de Pertinência Fuzzy Tipo-2 Intervalar Analógico de Baixa Potência.** 2017. 104f. Dissertação de Mestrado em Engenharia Eletrônica e Computação, Área de dispositivos Eletrônicos – Instituto Tecnológico de Aeronáutica, São José dos Campos.
- [4] THAKUR, Chetan Singh et al. A low power trainable neuromorphic integrated circuit that is tolerant to device mismatch. **IEEE Transactions on Circuits and Systems I: Regular Papers**, v. 63, n. 2, p. 211-22, 2016.
- [5] LIAO, Y. Neural networks in hardware: A survey. **Department of Computer Science, University of California**, 2001.

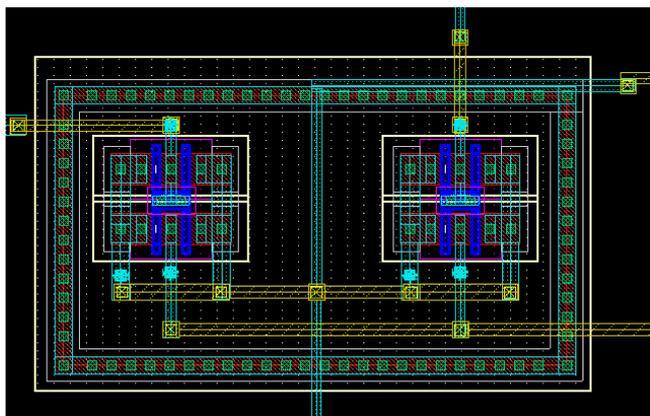


Figura 3 - Layout do espelho PMOS simples de entrada

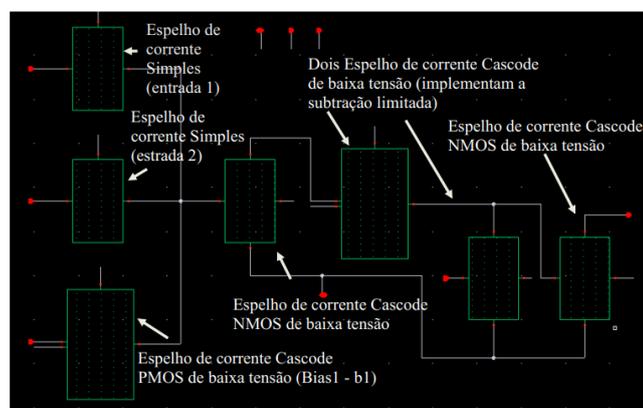


Figura 4 - Diagrama em blocos do circuito final

Resultados e discussão

Com o esquemático construído, a validação do circuito foi feita utilizando simulações. Através delas pode-se dizer que a arquitetura utilizada se comporta como um neurônio. A saída do circuito variando os parâmetros de entrada juntamente com o Bias 2 é vista na figura abaixo. A simulação foi feita alternado também a largura do canal de um transistor para simular os pesos aleatórios provindos do processo de fabricação.

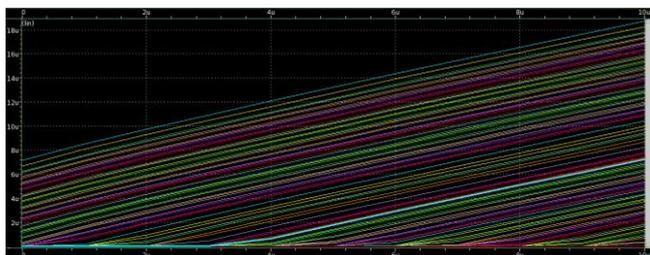


Figura 5 - Resultados da Simulação do Circuito simulando vários neurônios

O circuito foi projetado para operar com uma tensão de 1,8V e com correntes de entrada de no máximo $10\mu A$.