

## PLATAFORMA BASEADA EM DSP E FPGA PARA CONTROLE DE CONVERSORES DE POTÊNCIA

Maria Clara Ferreira Félix<sup>1</sup> (IC), Robson Bauwelz Gonzatti (PQ)<sup>1</sup>

<sup>1</sup>Universidade Federal de Itajubá - UNIFEI.

**Palavras-chave:** Conversores multiníveis, FPGA, modulação PWM, distorção harmônica.

### Introdução

No contexto atual, um dos mais importantes enfoques de pesquisa na área de Eletrônica de Potência consiste na busca de dispositivos semicondutores de potência que consigam conduzir elevadas correntes e também suportar altos valores de tensão quando bloqueados.

Assim, uma das maneiras de se atingir esse objetivo é a associação de conversores estáticos ou associação de células de comutação em série ou em paralelo. Dessa maneira, o estresse de tensão fica dividido por vários componentes e cada um precisa suportar uma tensão menor.

Nesse sentido, de acordo com Braga e Barbi (2000), obter níveis intermediários de tensão ou corrente viabilizam a formação de uma forma de onda alternada em degraus, com baixa distorção harmônica, o que permite a redução de perdas e melhoria da estabilidade mecânica dos acionamentos de motores CA, além de minimizar os efeitos sobre o torque da máquina, em comparação com um acionamento empregando uma onda quadrada simples.

A geração de estruturas multiníveis é uma possível solução para alguns dos problemas encontrados nas associações série e paralelo dos componentes semicondutores. A ideia principal consiste em reduzir o estresse aplicado nos conversores a partir da geração de níveis de tensão intermediários, divididos em cada um dos conversores.

Nesse sentido, esse trabalho apresenta a proposta de uma implementação de um esquema de modulação PWM para um conversor com três pontes H em cascata, que gerariam sete níveis de tensão. Foi gerada uma onda alternada em graus, com baixa distorção harmônica.

Tendo isso em vista, os objetivos principais deste trabalho foram: promover o desenvolvimento de um modulador PWM implementando-o em FPGA a fim de gerar uma onda com baixa distorção harmônica; Testar modularmente cada bloco escrito em VHDL que constitui o sistema final; Monitorar as ondas de entrada e saída da placa de desenvolvimento da Terasic modelo

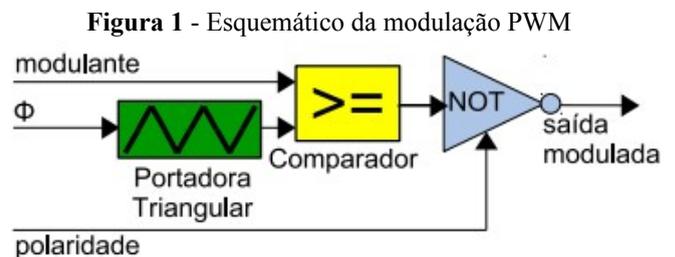
Altera Cyclone IV EP4CE22F17C6N FPGA; Utilizar a modulação PWM gerada em um conversor baseado em três pontes H em cascata que gerariam sete níveis de tensão, reduzindo o estresse de tensão em cada conversor e tendo uma alta frequência de chaveamento.

O modulador foi implementado em uma placa DE0-nano (com FPGA Altera/Intel). Resultados experimentais dos sinais de controle são apresentados para o respectivo conversor.

### Revisão bibliográfica

O princípio da modulação por largura de pulso (PWM) é uma técnica utilizada em eletrônica e engenharia elétrica para controlar a energia entregue a dispositivos elétricos, como motores, lâmpadas e circuitos de controle de potência. O PWM funciona variando a largura dos pulsos em um sinal. O ciclo de trabalho (*DutyCycle*), expresso como uma porcentagem, representa a fração de tempo em que o sinal está em nível alto em relação ao período total do sinal. A principal aplicação do PWM é o controle de velocidade de motores elétricos.

Utilizando como base a figura 1, pode-se concluir que para qualquer valor do sinal modulante maior ou igual ao da portadora triangular, que é uma onda triangular utilizada para comparação com a onda senoidal, a saída apresentará nível alto. E para qualquer valor do sinal modulante menor do que o da portadora triangular, a saída apresentará nível baixo (Sant'ana, 2018a).



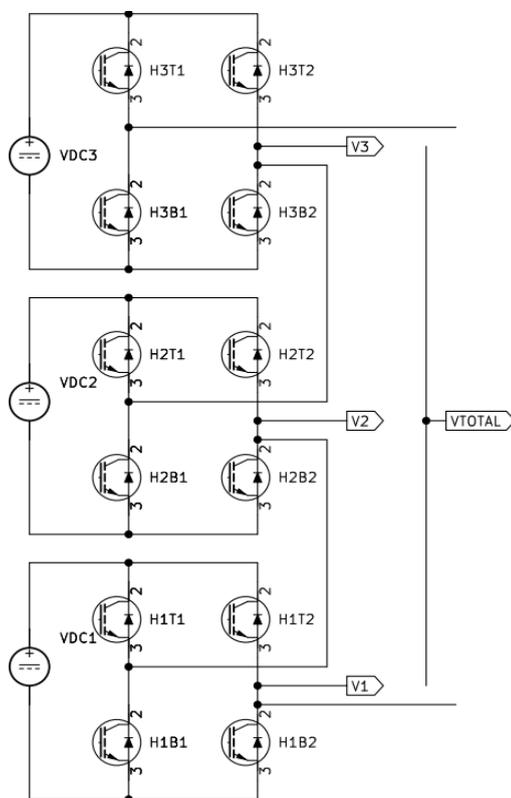
Fonte: Sant'ana, 2018a.

Assim sendo, as formas de onda da modulação unipolar e bipolar, as quais foram utilizadas para formar

a modulação PWM, possuem diferenças que devem ser pontuadas. Os sinais superiores paralelos na ponte H, por exemplo, H1T1 e H1T2 na figura 2, são justamente gerados pela comparação da onda moduladora senoidal e da onda portadora triangular.

Nesse contexto, esses dois sinais de gate operam de forma complementar na modulação bipolar. Quando a senóide é maior ou igual a onda triangular, tem-se a saída em nível alto. E quando a senóide é menor que a portadora triangular, a saída apresenta nível baixo. Esse esquema é conhecido como modulação bipolar.

Figura 2 - Três pontes H em cascata para 7 níveis de tensão



Fonte: Kicad versão 6.0.

Em contraposição com a modulação bipolar, a modulação unipolar normalmente requer duas ondas moduladoras senoidais, que têm a mesma magnitude e frequência, mas estão defasadas em 180 graus (Wu e Narimani, 2017). As duas ondas moduladoras são comparadas com uma onda portadora triangular comum, gerando dois sinais de portão (*gate*), para os interruptores superiores, por exemplo, H1T1 e H1T2.

Pode-se observar que elas não se comportam simultaneamente, em contrapartida com a modulação bipolar. Dessa maneira, a tensão de saída do inversor alterna entre zero e uma tensão positiva durante o semiciclo positivo ou entre zero e uma tensão negativa

durante o semiciclo negativo da frequência fundamental (Wu e Narimani, 2017). Portanto, esse esquema é conhecido como modulação unipolar.

A modulação multinível por phase-shift, a qual é o foco principal nos resultados obtidos desta pesquisa, envolve a geração de múltiplos níveis de tensão de saída, com cada nível sendo gerado com um deslocamento de fase em relação aos outros. Em sistemas multiníveis, ao invés de ter apenas dois níveis de tensão de saída, pode-se ter vários níveis intermediários, criando uma forma de onda de saída mais próxima de uma onda senoidal ideal.

## Metodologia

Especificamente, para atingir o objetivo que era desenvolver sinais de controle para um conversor de sete níveis de tensão, composto por três pontes H em cascata, foi utilizada uma arquitetura em blocos. Ou seja, utilizando o software Quartus II foram criados projetos pequenos em VHDL em que cada bloco é responsável por uma função específica, e esses blocos quando combinados geraram o sistema completo. Os blocos criados foram: bloco portadora triangular, bloco comparador, bloco PWM, bloco bipolar, bloco unipolar e bloco três conversores.

Nesse sentido, utilizando dois blocos PWM, com defasagens de 180° entre as portadoras triangulares, tem-se o bloco Unipolar. Utilizando três blocos Unipolar, com defasagens de 60° entre cada portadora, obtém-se o PWM para três pontes em cascata, conforme exibe o esquemático da figura 2. Cada bloco consiste em um projeto diferente, os quais foram testados separadamente na placa DE0-nano (com FPGA Altera/Intel).

Cabe ressaltar que a ideia inicial deste trabalho era desenvolver os sinais de controle no microcontrolador Snickerdoodle (Xilinx/Zynq), o qual usa o ambiente de desenvolvimento Vivado, em conjunto com uma placa mãe, na qual seria possível acessar os pinos de entrada e saída desse microcontrolador.

A vantagem seria a extensão do projeto, visto que este microcontrolador possui 180 pinos GPIO, em contrapartida com os 26 pinos GPIO da placa DE0-nano.

Dessa maneira, depois seria feita a comunicação do Snickerdoodle com o DSP F28379D na placa mãe. Assim, foi estudado e testado nesse DSP suas funções principais, como GPIO, Interrupções e Watchdog, ADC e PWM.

Nesse sentido, os projetos realizados em VHDL

no Quartus II também foram realizados no software Vivado, todavia, não foi possível implementar a estratégia no Snickerdoodle por problemas técnicos. Assim, decidiu-se por realizar a implementação na placa DE0-nano (com FPGA Altera/Intel), a qual possui uma implementação mais simples.

Tendo em vista isso, o DE0-nano é uma placa de desenvolvimento baseada em um FPGA produzida pela empresa Terasic Technologies. O FPGA é um dispositivo lógico programável que permite a criação de circuitos digitais. Nele pode-se encontrar o próprio chip chamado Cyclone IV, que pode ser usado para gerenciar o sistema e interagir com os periféricos. Também é possível encontrar recursos de entrada e saída: a placa inclui vários pinos de I/O para conexão de dispositivos externos e periféricos.

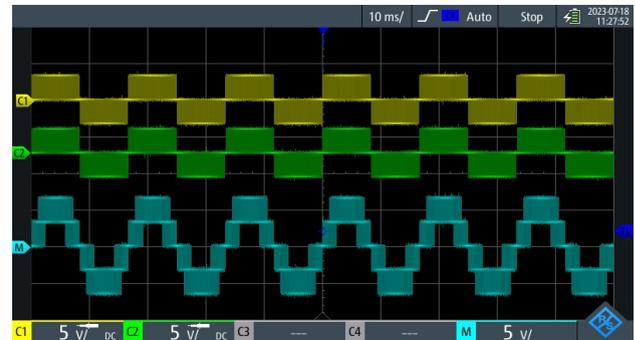
De acordo com Sant'ana (2018f), para a implementação do modulador PWM no FPGA, foi utilizada uma metodologia “bottom-up”, onde se inicia pelas funcionalidades mais simples - constituindo pequenos blocos para serem utilizados em blocos maiores e assim sucessivamente. Estes blocos são agrupados formando um bloco PWM.

## Resultados e discussão

Tem-se na figura 3 as tensões em duas pontes e a soma da tensão em duas pontes. A onda em amarelo é a tensão na saída da ponte H1. A onda em verde é a tensão AC na saída da ponte H2. A onda em azul, a qual possui 5 níveis de tensão, é a tensão AC resultante da soma entre as tensões das pontes H1 e H2. Cabe ressaltar que foram gerados sinais de controle para 3 pontes, porém não foi possível exibir a saída completa no osciloscópio.

Nota-se que a tensão de saída de cada ponte H possui um formato de chaveamento unipolar (chaveando entre +VDC e 0V e entre -VDC e 0V), o que está de acordo com os princípios da modulação unipolar.

**Figura 3** – Tensões de saída (sinais em amarelo e verde) em duas pontes e soma das tensões em duas pontes (sinal azul)



Fonte: Autoria própria.

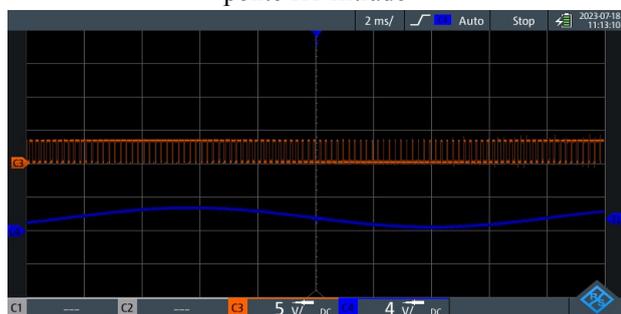
O deslocamento nos edges de cada pulso resulta no formato “em escada” da tensão total. Como os edges não ocorrem simultaneamente, a tensão resultante (que é a soma das três tensões individuais) apresenta uma frequência de transição de estados muito maior do que as frequências de chaveamento em cada IGBT.

A frequência resultante de um sinal unipolar, na saída de cada ponte H, é o dobro da frequência de chaveamento em cada IGBT. E a frequência resultante na saída total do conversor é a frequência de cada ponte unipolar multiplicada pelo número de pontes (considerando que as defasagens estejam corretas) (Sant'ana, 2018e). Desta forma, para  $f_{PWM}=5\text{kHz}$ , cada ponte H apresentará um chaveamento em  $f_{PWM}=10\text{kHz}$  e a saída total apresentará um chaveamento em  $f_{PWM}=30\text{kHz}$  - mesmo que cada IGBT chaveie apenas em 5kHz - portanto com perdas reduzidas.

A figura 4 apresenta o sinal de saída de uma das pontes com o PWM e também esse mesmo sinal filtrado. Além disso, foi utilizado um filtro RC passa-baixa, o qual permite que apenas os sinais de baixa frequência passem através dele, atenuando os sinais de alta frequência, o que pode ser observado na figura 5.

Mais especificamente, na figura 5, é possível observar o espectro de frequências da tensão de saída da ponte H1 (os espectros das pontes H2 e H3 são similares). Logo, foi possível filtrar a alta frequência do sinal, recuperando a senóide de 60Hz.

Figura 4 – Sinal de saída na ponte H1 e sinal de saída na ponte H1 filtrado



Fonte: Autoria própria.

Figura 5 – Espectro de frequências utilizando filtro RC



Fonte: Autoria própria.

## Conclusões

Retomando a questão principal deste trabalho na área de Eletrônica de Potência, a busca baseia-se em dispositivos semicondutores capazes de conduzir altas correntes e aguentar tensões elevadas. Dessa maneira, realiza-se associações em série e em paralelo.

Para garantir operação em níveis elevados de tensão ou corrente e melhorar a confiabilidade da associação série e paralela, uma das soluções abordadas foi o desenvolvimento de um modulador PWM para conversores multiníveis em FPGA. Foi apresentada uma arquitetura em blocos, onde blocos menores quando agrupados ajudaram a construir o sistema, que foi a síntese de sinais para três pontes H em cascata gerando sete níveis de tensão. Apesar de não ter sido possível observar a tensão total das 3 pontes, observou-se a soma das tensões em 2 pontes que geraram 5 níveis de tensão. Ademais, a frequência de chaveamento foi medida em apenas uma ponte.

Cabe ressaltar que o microcontrolador DE0-nano possui um número limitado de pinos de entrada e saída. Dessa maneira, seria interessante a realização deste trabalho em um dispositivo com mais pinos, como o microcontrolador Snickerdoodle, o qual possui 180 pinos de entrada e saída. Dessa maneira, todos eles poderiam ser utilizados na construção do

PWM.

## Agradecimentos

Agradeço a Universidade Federal de Itajubá, ao Grupo de Pesquisa de Eletrônica de Potência e Controle Industrial e a todos as outras organizações ou pessoas que auxiliaram no desenvolvimento desta pesquisa. Especificamente, sou grata pelos professores Robson B. Gonzatti e Wilson Cesar Sant'ana, os quais não mediram esforços para auxiliar no desenvolvimento desta pesquisa.

## Referências

- SANT'ANA, W. C. "2.1 - Desenvolvimento de core PWM por comparação com portadora triangular". [S.l.], abril 2018a. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/desenvolvime nto-de-core-pwm.html>>
- WU, B.; NARIMANI, M. **High-power converters and AC drivers**. 2. ed. Hoboken, New Jersey: John Wiley and Sons, Inc, 2017.
- SANT'ANA, W. C. "2.4 - PWM de sete níveis para três pontes H em cascata". [S.l.], abril 2018b. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/pwm-sete-niv eis-ponte-h-cascata.html>>
- SANT'ANA, W. C. "2.2 - PWM de dois níveis (bipolar) para uma ponte H". [S.l.], abril 2018c. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/pwm-dois-niv eis-bipolar.html>>
- SANT'ANA, W. C. "2.3 - PWM de três níveis (unipolar) para uma ponte H". [S.l.], abril 2018d. Disponível em: <<http://doingtechmyself.blogspot.com/2018/04/pwm-dois-niv eis-bipolar.html>>
- BRAGA, H. A.; BARBI, I. **Conversores estáticos multiníveis - uma revisão**. SBA Controle & Automação, vol.11, n.1, p.20-28, Jan., Fev., Mar., Abril, 2000. Disponível em: <<https://www.sba.org.br/revista/vol11/v11a262.pdf>>. Acesso em: 04 set. 2023.
- SANT'ANA, W. C. "2.6 - Gravação de projeto na memória FLASH e testes em bancada com conversor multiníveis a IGBTs". [S.l.], junho 2018e. Disponível em: <<http://doingtechmyself.blogspot.com/2018/06/flash-bancada.html>>
- SANT'ANA, W. C. et al. **Implementação em fpga de modulador pwm para conversores multiníveis**. CBA 22º Congresso Brasileiro de Automática, CBA 2018f, João Pessoa - PB, 2018. Disponível em :<[https://www.sba.org.br/open\\_journal\\_systems/index.php/cb a/article/download/291/253](https://www.sba.org.br/open_journal_systems/index.php/cb a/article/download/291/253)>
- SANT'ANA, W. C. "2.5 - Utilização de core DDS para geração de referências senoidais". [S.l.], maio 2018g. Disponível em: <<http://doingtechmyself.blogspot.com/2018/05/core-dds-ref-senoidal.html>>